

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Yoshiyuki TANAKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING OPERATION TEST CIRCUIT AND  
OPERATION TEST METHOD THEREOF

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-001741	January 8, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBTON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月 8日  
Date of Application:

出願番号 特願2003-001741  
Application Number:

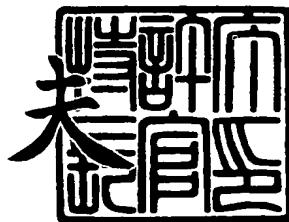
[ST. 10/C] : [JP2003-001741]

出願人 株式会社東芝  
Applicant(s):

2003年 7月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 ASB0280071

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明の名称】 動作テスト回路を含む半導体集積回路、および、その動作テスト方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 田中 義之

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 小島 能成

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 動作テスト回路を含む半導体集積回路、および、その動作テスト方法

【特許請求の範囲】

【請求項1】 被テスト回路と、

第1のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、

前記第1あるいは第2のクロック信号のいずれか一方のクロック信号が入力され、この入力されたクロック信号のエッジに同期して動作し、前記被テスト回路へデータの出力を行う第1のフリップフロップと、

前記第1および第2のクロック信号のうち、前記第1のフリップフロップに入力されていない方のクロック信号が入力され、この入力されたクロック信号のエッジに同期して動作し、前記被テスト回路から入力されたデータの出力を行う第2のフリップフロップとを具備することを特徴とする動作テスト回路を含む半導体集積回路。

【請求項2】 位相制御信号により位相制御回路を制御して、第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1あるいは第2のクロック信号のいずれか一方のクロック信号を第1のフリップフロップに入力し、かつ、前記第1および第2のクロック信号のうち、前記第1のフリップフロップに入力されていない方のクロック信号を第2のフリップフロップに入力する第1のステップと、

評価用データを被テスト回路に入力する第2のステップと、

前記第1および第2のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第3のステップとを具備し、

前記第3のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相を順次変更し、前記第1乃至第3のステップ

を繰り返すことを特徴とする動作テスト回路を含む半導体集積回路の動作テスト方法。

【請求項3】 複数の被テスト回路と、

前記複数の被テスト回路間に介在し、入力されたクロック信号のエッジに同期して動作し、前記複数の被テスト回路間での入出力を行う複数のフリップフロップと、

第1のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、

前記複数のフリップフロップ各々について設けられ、前記複数のフリップフロップのうちの1つのフリップフロップに対して、前記第1および第2のクロック信号のうち、いずれか一方のクロック信号を選択して供給可能であり、前記複数のフリップフロップのうちの他のフリップフロップに対して、前記第1および第2のクロック信号のうち、もう一方のクロック信号を選択して供給可能である複数のセレクタとを具備することを特徴とする動作テスト回路を含む半導体集積回路。

【請求項4】 セレクタ制御信号によりセレクタを制御して、第1のクロック信号の経路あるいは位相制御回路から出力されるクロック信号の経路のいずれか一方のクロック信号の経路を1つのフリップフロップに接続し、もう一方のクロック信号の経路を他のフリップフロップに接続する第1のステップと、

位相制御信号により前記位相制御回路を制御して、前記第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1および第2のクロック信号を前記セレクタに供給する第2のステップと、

評価用データを被テスト回路に入力する第3のステップと、

前記第1乃至第3のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第4のステップとを具備し、

前記第4のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御

して前記第2のクロック信号の位相を順次変更し、前記第2乃至第4のステップを繰り返すことを特徴とする動作テスト回路を含む半導体集積回路の動作テスト方法。

【請求項5】 複数の被テスト回路と、

前記複数の被テスト回路間に介在し、入力されたクロック信号のエッジに同期して動作し、前記複数の被テスト回路間での入出力を行う複数のフリップフロップと、

第1のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、

前記複数のフリップフロップ各々について設けられ、前記複数のフリップフロップのうちの1つのフリップフロップに対して、前記第1および第2のクロック信号のうち、いずれか一方のクロック信号を選択して供給可能であり、前記複数のフリップフロップのうちの他のフリップフロップに対して、前記第1および第2のクロック信号のうち、もう一方のクロック信号を選択して供給可能である複数のセレクタと、

評価用データを生成し、その評価用データを前記被テスト回路に入力する評価用データ生成回路と、

前記被テスト回路からの出力データと前記評価用データから予測される期待値との比較を行う期待値比較回路と、

前記位相制御回路、前記複数のセレクタ、前記評価用データ生成回路、および、前記期待値比較回路を制御し、前記期待値比較回路が行う比較において前記被テスト回路からの出力データと前記期待値とが一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように前記第2のクロック信号の位相を順次変更し、前記被テスト回路への前記評価用データの入出力を行うシーケンス回路とを具備することを特徴とする動作テスト回路を含む半導体集積回路。

【請求項6】 評価用データを生成し、この評価用データを被テスト回路に入力する第1のステップと、

セレクタ制御信号によりセレクタを制御して、第1のクロック信号の経路あるい

は位相制御回路から出力されるクロック信号の経路のいずれか一方のクロック信号の経路を1つのフリップフロップに接続し、もう一方のクロック信号の経路を他のフリップフロップに接続する第2のステップと、

位相制御信号により前記位相制御回路を制御して、前記第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1および第2のクロック信号を前記セレクタに供給する第3のステップと、

前記第1乃至第3のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第4のステップとを具備し、

前記第4のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相を順次変更し、前記第1乃至第4のステップを繰り返すことを特徴とする動作テスト回路を含む半導体集積回路の動作テスト方法。

**【請求項7】** 前記位相制御回路は、前記半導体集積回路の外部から入力される前記位相制御信号により制御されることを特徴とする請求項1、3または5のいずれか1項記載の動作テスト回路を含む半導体集積回路。

**【請求項8】** 前記第2のクロック信号を生成するステップにおいて、前記位相制御信号を前記半導体集積回路の外部より入力することで前記位相制御回路を制御することを特徴とする請求項2、4または6のいずれか1項記載の動作テスト回路を含む半導体集積回路の動作テスト方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、動作テスト回路を含む半導体集積回路、および、その動作テスト方法に関するものである。

##### 【0002】

#### 【従来の技術】

従来、半導体集積回路（以下、LSIと称す）の動作テストは、一般的に、外部のLSIテスターより動作テスト用のクロック信号をLSIに供給することにより行われてきた。

#### 【0003】

しかし、最近は、LSIの動作性能が更なる発展を遂げ、外部のLSIテスターより供給されるクロック信号の周波数とLSIの実動作時の動作周波数とが懸け離れることで、実動作時を想定したLSIの動作テストが困難になりつつある。

#### 【0004】

このような背景から、比較的低い周波数の動作テスト用のクロック信号により、高い周波数のクロック信号による動作テストを見かけ上実現する動作テスト回路が提案されている（例えば、特許文献1参照）。

#### 【0005】

図10は、従来の動作テスト回路の構成を示した図である。被テスト回路101の動作テストを行いたいパスの両端に、第1および第2のフリップフロップ102、103を設けており、被テスト回路101に第1のフリップフロップ102を介して評価用データDが入力され、第2のフリップフロップ103を介して出力データD'が出力される。また、第1および第2のフリップフロップ102、103の各々には、評価用データD、通常クロックCおよびテストクロックC2がそれぞれ入力される。ここで被テスト回路101とは、例えば、ロジック回路などである。

#### 【0006】

第1および第2のフリップフロップ102、103は、マスタラッチおよびスレーブラッチから構成されており、通常クロックCまたはテストクロックC2の少なくとも一方の論理値が0の状態から1の状態へと変化するタイミングで評価用データDが入力されてマスタラッチにホールドされ、通常クロックCが論理値1へと変化するタイミングで評価用データDがスレーブラッチを介して出力される。すなわち、通常動作時はテストクロックC2を論理値0に保つことにより一相同期のフリップフロップとして動作し、動作テスト時には、通常クロックCおよびテストクロックC2を制御することにより、二相同期のフリップフロップと

して、マスタラッチとスレーブラッチを別々に制御できる。

### 【0007】

ここで、図11に示すタイミングで通常クロックCおよびテストクロックC2が入力された際の、このフリップフロップの動作を考える。

### 【0008】

まず、前段のフリップフロップ102の動作に着目する。テストクロックC2が時刻t11に論理値0から1へと立ち上がると、評価用データDがマスタラッチに入力されホールドされる。次に、通常クロックCがテストクロックC2の立ち上がりに遅れて時刻t12に立ち上がった際に、マスタラッチにホールドされていた評価用データDがスレーブラッチから出力され、動作テストの対象である被テスト回路101内のバスに入力される。次に、テスト対象のバスの後段のフリップフロップ103の動作を考えると、評価用データDは、テストクロックC2の時刻t13における再度の立ち上がりにおいて、後段のフリップフロップ103のマスタラッチへと取り込まれる。

### 【0009】

以上のフリップフロップの動作を考えると、評価用データDは、テスト対象のバスに時刻t12に入力され時刻t13に出力されることとなる。この場合、テスト対象のバスから見ると、実質、時刻t12と時刻t13との時間間隔を周期としたクロックにより動作された場合と同じとみなせる。時刻t12と時刻t13との時間間隔は実際のクロックの周期よりも短いものであるから、比較的低い周波数の動作テスト用のクロック信号により、高い周波数のクロック信号による動作テストを見かけ上実現することが可能となる。

### 【特許文献1】

特許第2953435号公報（第3および4頁、図1および図3）

### 【0010】

#### 【発明が解決しようとする課題】

しかしながら、上記従来の動作テスト回路は、比較的低い周波数のクロックを用いて、高い周波数のクロック信号による動作テストを見かけ上実現することのみを、その目的としている。そのため、テスト対象の回路が正常に動作する最大

動作周波数  $f_{max}$  を見極めることができない。

#### 【0011】

また、上記従来の動作テスト回路では、二相同期のフリップフロップを設ける位置により、評価されるパスが一義的に決定されるため、動作テストにおいて評価するパスを変更したい場合に対応することができない。

#### 【0012】

本発明は、以上のような背景からなされたもので、比較的低い周波数のクロック信号により、その周波数より高く、かつ、変更可能な周波数のクロック信号による動作テストを見かけ上実現し、被テスト回路が正常に動作する最大動作周波数を測定する動作テスト回路を含む半導体集積回路、および、その動作テスト方法を提供することを目的とする。

#### 【0013】

また、本発明は、上記の動作テストにおいて、評価するパスを複数の中から任意に選択できる動作テスト回路を含む半導体集積回路、および、その動作テスト方法を提供することを目的としている。

#### 【0014】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明に係る動作テスト回路を含む半導体集積回路は、被テスト回路と、第1のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、前記第1あるいは第2のクロック信号のいずれか一方のクロック信号が入力され、この入力されたクロック信号のエッジに同期して動作し、前記被テスト回路へデータの出力を行う第1のフリップフロップと、前記第1および第2のクロック信号のうち、前記第1のフリップフロップに入力されていない方のクロック信号が入力され、この入力されたクロック信号のエッジに同期して動作し、前記被テスト回路から入力されたデータの出力を行う第2のフリップフロップとを具備することを特徴としている。

#### 【0015】

また、本発明に係る動作テスト回路を含む半導体集積回路の動作テスト方法は

、位相制御信号により位相制御回路を制御して、第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1あるいは第2のクロック信号のいずれか一方のクロック信号を第1のフリップフロップに入力し、かつ、前記第1および第2のクロック信号のうち、前記第1のフリップフロップに入力されていない方のクロック信号を第2のフリップフロップに入力する第1のステップと、評価用データを被テスト回路に入力する第2のステップと、前記第1および第2のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第3のステップとを具備し、前記第3のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相を順次変更し、前記第1乃至第3のステップを繰り返すことを特徴としている。

#### 【0016】

更に、本発明に係る動作テスト回路を含む半導体集積回路は、複数の被テスト回路と、前記複数の被テスト回路間に介在し、入力されたクロック信号のエッジに同期して動作し、前記複数の被テスト回路間での入出力を行う複数のフリップフロップと、第1のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、前記複数のフリップフロップ各々について設けられ、前記複数のフリップフロップのうちの1つのフリップフロップに対して、前記第1および第2のクロック信号のうち、いずれか一方のクロック信号を選択して供給可能であり、前記複数のフリップフロップのうちの他のフリップフロップに対して、前記第1および第2のクロック信号のうち、もう一方のクロック信号を選択して供給可能である複数のセレクタとを具備することを特徴としている。

#### 【0017】

更に、本発明に係る動作テスト回路を含む半導体集積回路の動作テスト方法は、セレクタ制御信号によりセレクタを制御して、第1のクロック信号の経路あるいは位相制御回路から出力されるクロック信号の経路のいずれか一方のクロック

信号の経路を1つのフリップフロップに接続し、もう一方のクロック信号の経路を他のフリップフロップに接続する第1のステップと、位相制御信号により前記位相制御回路を制御して、前記第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1および第2のクロック信号を前記セレクタに供給する第2のステップと、評価用データを被テスト回路に入力する第3のステップと、前記第1乃至第3のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第4のステップとを具備し、前記第4のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相を順次変更し、前記第2乃至第4のステップを繰り返すことを特徴としている。

#### 【0018】

更に、本発明に係る動作テスト回路を含む半導体集積回路は、複数の被テスト回路と、前記複数の被テスト回路間に介在し、入力されたクロック信号のエッジに同期して動作し、前記複数の被テスト回路間での入出力を行う複数のフリップフロップと、第1のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、前記複数のフリップフロップ各々について設けられ、前記複数のフリップフロップのうちの1つのフリップフロップに対して、前記第1および第2のクロック信号のうち、いずれか一方のクロック信号を選択して供給可能であり、前記複数のフリップフロップのうちの他のフリップフロップに対して、前記第1および第2のクロック信号のうち、もう一方のクロック信号を選択して供給可能である複数のセレクタと、評価用データを生成し、その評価用データを前記被テスト回路に入力する評価用データ生成回路と、前記被テスト回路からの出力データと前記評価用データから予測される期待値との比較を行う期待値比較回路と、前記位相制御回路、前記複数のセレクタ、前記評価用データ生成回路、および、前記期待値比較回路を制御し、前記期待値比較回路が行う比較において前記被テスト回路からの出力データと前記期待値とが一致する場合、不一致となるまで、前記

第1のクロック信号と前記第2のクロック信号との位相差が広がるように前記第2のクロック信号の位相を順次変更し、前記被テスト回路への前記評価用データの入出を行なうシーケンス回路とを具備することを特徴としている。

### 【0019】

更に、本発明に係る動作テスト回路を含む半導体集積回路の動作テスト方法は、評価用データを生成し、この評価用データを被テスト回路に入力する第1のステップと、セレクタ制御信号によりセレクタを制御して、第1のクロック信号の経路あるいは位相制御回路から出力されるクロック信号の経路のいずれか一方のクロック信号の経路を1つのフリップフロップに接続し、もう一方のクロック信号の経路を他のフリップフロップに接続する第2のステップと、位相制御信号により前記位相制御回路を制御して、前記第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1および第2のクロック信号を前記セレクタに供給する第3のステップと、前記第1乃至第3のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第4のステップとを具備し、前記第4のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相を順次変更し、前記第1乃至第4のステップを繰り返すことを特徴としている。

### 【0020】

#### 【発明の実施の形態】

##### (第1の実施の形態)

以下に、本発明に係る動作テスト回路を含む半導体集積回路および動作テスト方法についての第1の実施の形態を図1乃至図4を参照して説明する。

### 【0021】

まず、本実施の形態に係る動作テスト回路を含む半導体集積回路について、図1乃至図3を参照しながら説明する。本実施の形態に係る動作テスト回路を含む半導体集積回路の構成の概略を図1に示す。

### 【0022】

動作テストを実施する被テスト回路1の両端に、第1および第2のフリップフロップ2、3を設けており、評価用データDATAが、第1のフリップフロップ2を介して被テスト回路1に入力され、出力データDATA'が、第2のフリップフロップ3を介して出力されるようになっている。

#### 【0023】

第2のフリップフロップ3には、フリップフロップ制御用の第1のクロック信号CLK1が供給されており、第1のフリップフロップ2には、第1のクロック信号CLK1が位相制御回路4により処理された第2のクロック信号CLK2が供給されている。

#### 【0024】

位相制御回路4はクロック信号の位相を位相制御信号Phaseに基づいて可変にずらすことができる回路であり、入力された第1のクロック信号CLK1の位相を変更し、第2のクロック信号CLK2として出力する。この位相制御回路4の例としては、DDL (Digital Delay Line) のようなフィードバック制御を用いたものや、ディレイセルを複数用意し、その段数を切り替えるものなどが挙げられる。ここで、位相制御回路4は、例えば外部コマンドなどにより、テスト実施者が位相制御信号Phaseを用いて位相制御回路4による位相の制御を任意に設定できるようにしておく。

#### 【0025】

通常動作時には、位相制御回路4により位相をずらさず、互いに同期したクロック信号を第1および第2のフリップフロップ2、3に供給して動作させる。一方、動作テスト時には、位相制御回路4を位相制御信号Phaseにより位相制御動作させて第1のクロック信号CLK1の位相を変更させ、第2のフリップフロップ2へ第2のクロック信号CLK2を与える。このように、第1のフリップフロップ2に与えられる第2のクロック信号CLK2と、第2のフリップフロップ3に与えられる第1のクロック信号CLK1との間に位相差を設け、動作テストを行う。

#### 【0026】

次に、動作テスト時の第1および第2のフリップフロップに与えられるフリッ

プロップ制御用のクロック信号の波形図を図2に示す。

### 【0027】

第2のクロック信号CLK2は位相制御回路4により位相が制御され、第1のクロック信号CLK1に対して、遅延時間B分遅れて第1のフリップフロップ2に供給されている。動作テストは、これら2つのクロック信号CLK1、CLK2を各々のフリップフロップに与え、被テスト回路1に入力される評価用データDATAから予想される期待値と、第2のフリップフロップ3を介して出力される被テスト回路1の出力データDATA'が一致しているかどうかを確認することにより行う。

### 【0028】

ここで、これら2つのクロック信号CLK1、CLK2により、評価用データDATAが被テスト回路1にどのようなタイミングで入出力されるのかを考えると、被テスト回路1に評価用データDATAが入力されるタイミングは、第2のクロック信号CLK2の1回目の立ち上がりエッジt2であり、出力されるタイミングは、第1のクロック信号CLK1の2回目の立ち上がりエッジt3である。このとき、第2のクロック信号CLK2の立ち上がりエッジt2は第1のクロック信号CLK1の立ち上がりエッジt1に対して遅延時間B分遅れているため、実際に供給しているクロック信号の周期はA (= t3 - t1) であるものの、被テスト回路1に対しては、周期(A-B)のクロック信号が供給された場合と等価にみなすことができる。よって、周波数1/Aのクロック信号を用いて、周波数1/(A-B)のクロック信号による動作テストを行うことが可能となる。

### 【0029】

本実施の形態に係る動作テスト回路を含む半導体集積回路は、1つのクロック信号により、見かけ上高い周波数のクロック信号による動作テスト回路を実現しており、この動作テスト回路を行うにあたって、予め複数の異なるクロック信号を生成し供給する必要がない。それゆえ、複数の異なるクロック信号配線やテスト用クロック信号の入力端子を半導体集積回路に設ける必要がない。このことから、本実施の形態では、必要な動作テストを行うことができ、余分な配線領域を縮小した小面積の半導体集積回路を提供することができる。更に、余分なクロッ

ク信号入力端子を削減し、必要最小限な入力端子数の半導体集積回路を提供することができる。

### 【0030】

また、上述したように、位相制御回路4は、テスト実施者が第1のクロック信号CLK1の位相を自由に設定することが可能となっており、テスト実施者の所望する周波数において動作テストを行えることが、本実施の形態に係る動作テスト回路を含む半導体集積回路の特徴の一つである。よって、テスト実施者が位相制御回路4を用いて遅延時間Bを徐々に大きくしていき、入力された評価用データDATAから予想される期待値と実際に出力される出力データDATA'が一致しなくなる限界を求め、その限界に達したときの遅延時間Bnから最大動作周波数fmaxを $1/(A-Bn)$ と求めることができる。

### 【0031】

更に、位相の変更されたクロック信号が特定のフリップフロップに供給されるように位相制御回路4を設けることで、動作テストを実施したい所定のパスのみからなる動作テストが可能となる。これについて、以下、図3を参照しながら説明する。

### 【0032】

図3は、本実施の形態に係る動作テスト回路を含む半導体集積回路の回路構成を例示したものである。RAM(Random Access Memory)5およびALU(Arithmetic Logical Unit)6がデータバス7を通じて双方向にデータの転送ができるようになっており、第3乃至第6の4つのフリップフロップ8、9、10、11が、RAM5およびALU6の各々の入力側と出力側とに設けられている。

### 【0033】

ここで、図3と先の説明において参照した図1との各構成要素の対応関係を説明する。図1の被テスト回路1には図3におけるRAM5およびALU6が対応する。また、図1の第1のフリップフロップ2には、RAM5を被テスト回路1とする場合は図3における第3のフリップフロップ8が対応し、ALU6を被テスト回路1とする場合には図3における第5のフリップフロップ10が対応する

。また、図1の第2のフリップフロップ3には、RAM5を被テスト回路1とする場合は図3における第4のフリップフロップ9が対応し、ALU6を被テスト回路1とする場合には図3における第6のフリップフロップ11が対応する。

#### 【0034】

この回路において、例えば、第3のフリップフロップ8から第4のフリップフロップ9までのバスの最大動作周波数  $f_{max}$  を評価したい場合は、図3に示すように、位相制御回路4により位相を変更した第2のクロック信号CLK2を第3のフリップフロップ8に入力し、位相の変更がされていない第1のクロック信号CLK1を第4のフリップフロップ9、第5のフリップフロップ10および第6のフリップフロップ11に入力すれば良い。

#### 【0035】

このような構成において、位相制御回路4によって位相をBだけ変更する場合を考える。第1のクロック信号CLK1の位相が変更された第2のクロック信号CLK2は第3のフリップフロップ8に入力されるため、第3のフリップフロップ8と他のフリップフロップとにおいて、入力されるクロック信号に位相差が生じる。この位相差の発生により、クロック周波数が見かけ上変化するバスは、第3のフリップフロップ8からRAM5を介した第4のフリップフロップ9までのバス、第4のフリップフロップからデータバス7を介した第3のフリップフロップ8までのバス、および、第6のフリップフロップ11からデータバス7を介した第3のフリップフロップ8までのバスの3つのバスが考えられる。しかし、これら3つのバスに対する見かけ上のクロック周波数には違いがあり、第3のフリップフロップ8からRAM5を介した第4のフリップフロップ9までのバスは、見かけ上の周波数が  $1/(A-B)$  と高くなる一方、残りの2つのバスにおいては、見かけ上の周波数が  $1/(A+B)$  と低くなる。よって、位相制御回路4により第2のクロック信号CLK2の位相を変更した際、クロック信号の周波数が見かけ上高くなるバスは、第3のフリップフロップ8と第4のフリップフロップ9間のバスのみとなる。これにより、他のバスの影響を受けることなく、動作テストの実施者が評価したいバスのみの最大動作周波数  $f_{max}$  が評価できる。

#### 【0036】

続いて、本実施の形態に係る動作テスト回路を含む半導体集積回路の動作テスト方法について図4を参照しながら説明する。図4は、本実施の形態に係る動作テスト方法の手順を示すフローチャートである。ここでは、説明の便宜上、図3の動作テスト回路を含む半導体集積回路において、第3のフリップフロップ8から第4のフリップフロップ9までのパスの最大動作周波数  $f_{max}$  を評価する場合を例に挙げ説明する。

#### 【0037】

まず、最初に被テスト回路1が正常に動作するかを確認したい見かけ上の周波数  $1/(A-B0)$  を決定し、位相制御信号 Phase により位相制御回路4を第1のクロック信号 CLK1 の位相を B0 だけ変更するように位相制御動作させる（ステップ S11）。

#### 【0038】

次に、第3のフリップフロップ8（図1における第1のフリップフロップ2に対応）に第2のクロック信号 CLK2 を供給し、第4のフリップフロップ9（図1の第2のフリップフロップ3に対応）、第5のフリップフロップ10および第6のフリップフロップ11に第1のクロック信号 CLK1 を供給する。

#### 【0039】

次に、動作テスト用の評価用データ DATA を作成し第3のフリップフロップ8に入力する（ステップ S12）。これにより、評価用データ DATA が第3のフリップフロップ8を介して RAM5（図1の被テスト回路1に対応）に入力され、その結果、RAM5の出力結果である出力データ DATA' が第4のフリップフロップ9を介して出力される。

#### 【0040】

次に、RAM5に入力される評価用データ DATA から予想される期待値と、第4のフリップフロップ9を介して出力される RAM5 の出力データ DATA' とが一致しているかどうかを確認する（ステップ S13）。この期待値と出力データ DATA' との比較結果は、これらの値が一致する場合は、見かけ上の周波数  $1/(A-B0)$  で RAM5 が正常に動作を行ったことを指し、逆に、不一致となった場合は、見かけ上の周波数  $1/(A-B0)$  で RAM5 の動作が破綻し

たことを指す。

#### 【0041】

ステップS13において比較結果が一致した場合には、ステップS11に戻り、第1のクロック信号CLK1と第2のクロック信号CLK2との位相差が広くなるように、位相制御信号Phaseにより位相制御回路4を制御し第1のクロック信号CLK1をB1(>B0)だけ変更する。続いて、RAM5への評価用データDATAの入出力を再度行いステップS13での期待値との比較を行う。この期待値との比較において不一致となった場合には、見かけ上の周波数1／(A-B1)でRAM5の動作が破綻したこととなり、第3のフリップフロップ8から第4のフリップフロップ9までのパスの最大動作周波数fmaxは1／(A-B0)と1／(A-B1)との間の値であることが分かる。

#### 【0042】

以上の2回目の期待値との比較においても一致した場合には、以上と同様のステップを期待値との比較結果が不一致となるまで繰り返す。これにより、第3のフリップフロップ8から第4のフリップフロップ9までのパスの最大動作周波数fmaxを測定することができる。

#### 【0043】

このように、本実施の形態に係る動作テスト方法は、位相制御回路4を位相制御信号Phaseにより制御することができ、見かけ上のクロック周波数を徐々に引き上げながら、そのクロック周波数での被テスト回路1の動作を確認することで、被テスト回路1が正常に動作する最大動作周波数fmaxを測定することができる。

#### 【0044】

なお、本実施の形態に係る動作テスト方法においては、まず、位相制御回路4の制御を行い(ステップS11)、続いて、評価用データDATAの入力を行っているが(ステップS12)、このステップの順序はこれに限られない。このステップの順序を問わず、これら2つのステップ(ステップS11およびS12)が終了した後にステップS13を行いさえすれば同様の効果が得られる。

#### 【0045】

また、本実施の形態に係る動作テスト回路を含む半導体集積回路、および、その動作テスト方法においては、位相制御回路4により第1のフリップフロップ2に入力されるクロック信号の位相を変更して動作テストを行う場合を示したが、これに限らず、例えば、第2のフリップフロップに供給されるクロック信号の位相を位相制御回路4により変更しても構わない。更には、評価したいバスの両端に設けられたフリップフロップ以外のフリップフロップに動作テスト時に入力されるクロック信号は第1のクロック信号CLK1に限らず、第2のクロック信号CLK2であっても構わない。すなわち、位相制御回路4により、最大動作周波数  $f_{max}$  を評価したいバスの入力側と出力側とに設けられた2つのフリップフロップへと供給される2つのクロック信号のうち、いずれか一方のクロック信号に他のクロック信号に対する位相差が設けられれば、この評価したいバスのみからなる見かけ上のクロック周波数が高い動作テストを行うことができる。

#### 【0046】

更に、本実施の形態に係る動作テスト回路を含む半導体集積回路、および、その動作テスト方法においては、フリップフロップをクロック信号の立ち上がりエッジに同期して動作するポジティブエッジ型のフリップフロップとした。これに対して、これらをクロック信号の立下りエッジに同期して動作するネガティブエッジ型のフリップフロップとしても、ポジティブエッジ型のフリップフロップを用いた場合と同様の効果が得られる。

#### 【0047】

更にまた、本実施の形態に係る動作テスト回路を含む半導体集積回路、および、その動作テスト方法においては、被テスト回路1としてRAMおよびALUを例示したが、被テスト回路1は、これらに限られない。入力されるクロック信号に位相差が設けられた2つのフリップフロップに挟まれたバスであれば、被テスト回路1の構成を問わず、そのバスの最大動作周波数  $f_{max}$  を評価することができる。

#### (第2の実施の形態)

以下に、本発明に係る動作テスト回路を含む半導体集積回路および動作テスト方法についての第2の実施の形態を図5乃至図7を参照しながら説明する。

### 【0048】

まず、本実施の形態に係る動作テスト回路を含む半導体集積回路について図5および図6を参照しながら説明する。本実施の形態に係る動作テスト回路を含む半導体集積回路の構成の概略を図5に示す。なお、図1と対応する部分には図1と同一符号を付しており、その説明を省略する。

### 【0049】

クロック信号配線を分岐し、システムクロックとして用いる第1のクロック信号CLK1と、位相制御回路4により位相が変更される第2のクロック信号CLK2との2系統のクロックを用意しておく。第1のフリップフロップ2には第1のセレクタ12が、第2のフリップフロップ3には第2のセレクタ13がそれぞれ設けられており、これら2つのセレクタ12、13それぞれには、第1のクロック信号CLK1および第2のクロック信号CLK2が入力され、これらのうち、どちらか一方のクロック信号を選択して、それぞれのフリップフロップへと供給するようになっている。なお、第1のフリップフロップ2には第1のセレクタ制御信号S/W1が、第2のフリップフロップ3には第2のセレクタ制御信号S/W2が入力されるようになっており、例えば外部コマンドの入力などにより、テスト実施者がこれらのセレクタ制御信号を各セレクタに送信することで各セレクタによるクロック信号の選択を任意に設定できるようにしている。

### 【0050】

通常動作時には、第1および第2のセレクタ12、13を制御し、第1および第2のフリップフロップ2、3に同期したクロック信号（第1のクロック信号CLK1または第2のクロック信号CLK2）を供給して、第1および第2のフリップフロップ2、3を同期して動作させる。

### 【0051】

一方、動作テスト時には、第1および第2のセレクタ12、13を用いて、第1および第2のフリップフロップ2、3に別々のクロック信号を与え、動作テストを行う。すなわち、セレクタを制御して特定のフリップフロップに供給されるクロック信号と他のフリップフロップへ供給されるクロック信号との位相差を設けるかどうかを設定する。

### 【0052】

ここで、クロック信号に位相差を設けることによる見かけ上周波数の高いクロック信号での動作テストの原理は、第1の実施の形態において図2を用いて説明したものと同一である。よって、セレクタによるクロック信号の選択の後、第1の実施の形態と同様に、テスト実施者が位相制御信号Phaseにより位相制御回路4を制御することで遅延時間Bを徐々に大きくしていき、入力された評価用データDATAから予想される期待値と実際に出力される出力データDATA'が一致しなくなる限界を求めることで、その限界に達したときの遅延時間Bnから最大動作周波数fmaxを $1/(A - Bn)$ と求めることができる。

### 【0053】

また、以上のようなセレクタをフリップフロップそれぞれについて設けることにより、実装試験段階において動作テストを行うパスを選択することができる。以下、これについて図6を参照しながら説明する。図6は、本実施の形態に係る動作テスト回路を含む半導体集積回路の回路構成を例示したものであり、第1の実施の形態において説明した図3と対応する部分には同一符号を付しており、その説明を省略する。

### 【0054】

クロック信号配線を分岐し、システムクロックとして用いる第1のクロック信号CLK1と位相制御回路4により位相が変更できる第2のクロック信号CLK2との2系統のクロック信号が用意されており、そのいずれか一方のクロック信号が選択されて各フリップフロップに供給されるように、フリップフロップそれぞれに対して第3乃至第6のセレクタ14、15、16、17が設けられている。

### 【0055】

ここで、図6と先の説明で参照した図5との構成要素の対応関係を説明する。図5の被テスト回路1には図6におけるRAM5およびALU6が対応する。また、図5の第1のフリップフロップ2には、RAM5を被テスト回路1とする場合は図6における第3のフリップフロップ8が、ALU6を被テスト回路1とする場合には図6における第5のフリップフロップ10が対応する。更に、図5の

第2のフリップフロップ3には、RAM5を被テスト回路1とする場合は図6における第4のフリップフロップ9が対応し、ALU6を被テスト回路1とする場合には図6における第6のフリップフロップ11が対応する。また更に、図5の第1のセレクタ12には、RAM5を被テスト回路1とする場合は図6における第3のセレクタ14が、ALU6を被テスト回路1とする場合は図6における第5のセレクタ16が対応し、図5の第2のセレクタ13には、RAM5を被テスト回路1とする場合は図6における第4のセレクタ15が対応し、ALU6を被テスト回路1とする場合には図6における第6のセレクタ17が対応する。

#### 【0056】

この回路において、例えば第3のフリップフロップ8から第4のフリップフロップ9までのパスの最大動作周波数  $f_{max}$  を評価したい場合は、第3のセレクタ14には第3のセレクタ制御信号  $S/W_3$  により第2のクロック信号  $CLK_2$  を選択させ、第4乃至第6のセレクタ15、16、17には第4乃至第6のセレクタ制御信号  $S/W_4$ 、 $S/W_5$ 、 $S/W_6$  により第1のクロック信号  $CLK_1$  を選択させる。このようにすることで、位相制御回路4によって位相を変更したとき、クロック信号の周波数が見かけ上高くなるパスは第3のフリップフロップ8と第4のフリップフロップ9間のパスのみとなり、他のパスの影響を受けることなく、このパスのみの最大動作周波数  $f_{max}$  が評価できる。

#### 【0057】

同様に、例えば、第5のフリップフロップ10から第6のフリップフロップ11までのパスの最大動作周波数  $f_{max}$  を評価したい場合は、第5のセレクタ16に第2のクロック信号  $CLK_2$  を選択させ、第3、第4および第6のセレクタ14、15、17に第1のクロック信号  $CLK_1$  を選択させれば良い。

#### 【0058】

このように、各セレクタによるクロック信号の選択はセレクタ制御信号によりテスト実施者が任意に選択できるため、本実施の形態に係る動作テスト回路を含む半導体集積回路は、実装試験段階において動作テストを行いたい所望のパスを選択し、その所望のパスのみからなる動作テストを行うことができる。

#### 【0059】

続いて、本実施の形態に係る動作テスト回路を含む半導体集積回路の動作テスト方法について図7を参照しながら説明する。図7は、本実施の形態に係る動作テスト方法の手順を示すフローチャートである。ここでは、説明の便宜上、図6の動作テスト回路を含む半導体集積回路において、第3のフリップフロップ8から第4のフリップフロップ9までのパスの最大動作周波数  $f_{max}$  を評価する場合を例に挙げ説明する。

#### 【0060】

まず、最大動作周波数  $f_{max}$  を測定したい2つのフリップフロップ間のパスを決定し、その二つのフリップフロップの一方のフリップフロップに第2のクロック信号CLK2が、半導体集積回路内の他のフリップフロップには第1のクロック信号CLK1が入力されるように、それぞれのフリップフロップに備えられたセレクタをセレクタ制御信号により制御する（ステップS21）。ここでは、評価したいパスは、図6における第3のフリップフロップ8から第4のフリップフロップ9までのパスであるので、第3のフリップフロップ8または第4のフリップフロップ9のいずれか一方に第2のクロック信号CLK2が入力され、これ以外の他のフリップフロップには第1のクロック信号CLK1が入力されるように、それぞれのフリップフロップに備えられたセレクタをセレクタ制御信号により制御する。

#### 【0061】

次に、最初に正常に動作するかを確認したい見かけ上の周波数  $1/(A-B0)$  を決定し、位相制御信号Phaseにより位相制御回路4を第1のクロック信号CLK1の位相をB0だけ変更するように位相制御動作させ、各セレクタに第2のクロック信号CLK2を与える（ステップS22）。

#### 【0062】

次に、動作テスト用の評価用データDATAを作成しRAM5（図5における被テスト回路1に対応）に入力する（ステップS23）。続いて、RAM5に入力される評価用データDATAから予想される期待値と、RAM5からの出力データDATA' とが一致しているかどうかを確認する（ステップS24）。この期待値と出力データDATA'との比較結果は、これらの値が一致する場合は、

見かけ上の周波数  $1/(A-B_0)$  で被テスト回路 1 が正常に動作を行ったことを指し、逆に、不一致となった場合は、見かけ上の周波数  $1/(A-B_0)$  では動作が破綻したことを指す。

#### 【0063】

ステップ S 2 4 において比較結果が一致した場合には、ステップ S 2 2 に戻り、第 1 のクロック信号 CLK 1 と第 2 のクロック信号 CLK 2 との位相差が広くなるように、位相制御信号 Phase により位相制御回路 4 を制御し第 1 のクロック信号 CLK 1 を  $B_1 (>B_0)$  だけ変更する。続いて、RAM 5 への評価用データ DATA の入出力をを行いステップ S 2 4 での期待値との比較を再度行う。この期待値との比較において不一致となった場合には、見かけ上の周波数  $1/(A-B_1)$  で動作が破綻したこととなり、第 3 のフリップフロップ 8 から第 4 のフリップフロップ 9 までのパスの最大動作周波数  $f_{max}$  は  $1/(A-B_0)$  と  $1/(A-B_1)$  との間の値であることが分かる。

#### 【0064】

以上の 2 回目の期待値との比較においても一致した場合には、ステップ S 2 2 からステップ S 2 4 までの手順を期待値との比較結果が不一致となるまで繰り返す。これにより、第 3 のフリップフロップ 8 から第 4 のフリップフロップ 9 までのパスの最大動作周波数  $f_{max}$  を測定することができる。

#### 【0065】

このように、本実施の形態に係る動作テスト方法は、位相制御回路 4 を位相制御信号 Phase により制御することができ、見かけ上のクロック周波数を徐々に引き上げながら、そのクロック周波数での被テスト回路 1 の動作を確認することにより、被テスト回路 1 が正常に動作する最大動作周波数  $f_{max}$  を測定することができる。

#### 【0066】

また、本実施の形態に係る動作テスト方法は、セレクタ制御信号によりセレクタを制御することで、動作テストを実施する段階において、テスト実施者が任意に動作テストを行うパスを設定することができ、半導体集積回路全体ではなく、その評価したいパスのみの最大動作周波数  $f_{max}$  を測定することができる。

### 【0067】

なお、本実施の形態に係る動作テスト方法においては、まず、セレクタの制御を行い（ステップS21）、次に、位相制御回路4の制御を行い（ステップS22）、続いて、評価用データDATAの入力を行っているが（ステップS23）、これらのステップの順序はこれに限られない。これらのステップの順序に問わず、これら3つのステップ（S21、S22およびS23）が終了した後にステップS24を行いさえすれば同様の効果が得られる。

### 【0068】

また、本実施の形態に係る動作テスト回路を含む半導体集積回路、および、その動作テスト方法においては、位相制御回路4により第1のフリップフロップ2に入力されるクロック信号の位相を変更して動作テストを行う場合を示したが、これに限らず、例えば、第2のフリップフロップに供給されるクロック信号の位相を位相制御回路4により変更しても構わない。更には、評価したいバスの両端に設けられたフリップフロップ以外のフリップフロップに動作テスト時に入力されるクロック信号は第1のクロック信号CLK1に限られず、第2のクロック信号CLK2であっても構わない。

### 【0069】

更に、本実施の形態に係る動作テスト回路を含む半導体集積回路、および、その動作テスト方法においても、第1の実施の形態同様、フリップフロップをポジティブエッジ型のフリップフロップとした。これに対して、これらをネガティブエッジ型のフリップフロップとしても、ポジティブエッジ型のフリップフロップを用いた場合と同様の効果が得られる。

### 【0070】

更にまた、本実施の形態に係る動作テスト回路を含む半導体集積回路、および、その動作テスト方法においても、被テスト回路1としてRAMおよびALUを例示したが、第1の実施の形態同様、被テスト回路1は、これらに限らず、その構成は問わない。

（第3の実施の形態）

以下に、本発明に係る動作テスト回路を含む半導体集積回路についての第3の

実施の形態を図8および図9を参照しながら説明する。

#### 【0071】

本発明の第3の実施の形態に係る動作テスト回路を含む半導体集積回路の構成の概略を図8に示す。なお、本実施の形態に係る動作テスト回路の構成は、第1および第2の実施の形態に係る動作テスト回路の構成と部分的に共通しているため、図1および図5と対応する部分にはそれらと同一符号を付しており、その説明を省略する。

#### 【0072】

評価用データ生成回路18が評価用データDATAを生成して、第1のフリップフロップ2に供給し、また、この評価用データDATAの入力により第2のフリップフロップ3を介して出力された被テスト回路1の出力が期待値比較回路19に供給され、期待値比較回路19が入力された被テスト回路1の出力結果と評価用データDATAから予想される期待値とを比較し、その結果をシーケンス回路20に出力するようになっている。

#### 【0073】

シーケンス回路20は、評価用データ生成回路18、期待値比較回路19、位相制御回路4、および、第1および第2のセレクタ12、13の動作を制御し、RAM21への動作テストの結果の書き込みを行う回路である。

#### 【0074】

以下、この動作テスト回路を含む半導体集積回路のセルフテスト時の動作を図9を参照しながら説明する。図9は、本実施の形態に係る動作テスト回路を含む半導体集積回路が行うセルフテストの手順を示すフローチャートである。

#### 【0075】

まず、シーケンス回路20が評価用データ生成回路18に評価用データDATAの生成を要求する(S31)。次に、評価用データ生成回路18はシーケンス回路20の要求に応じて評価用データDATAを生成し、第1のフリップフロップ2に評価用データDATAを出力する(S32)。

#### 【0076】

次に、シーケンス回路20が、最初に動作テストを行いたい周波数(初期動作

周波数)を持つ見かけ上のクロック信号を生成するように、位相制御信号 P h a s e により位相制御回路 4 を位相制御動作させて第 1 のクロック信号 C L K 1 の位相を制御する (S 3 3)。ここでの初期動作周波数の値は、外部から入力されたものであってもよいし、テスト実施者により予め当該半導体集積回路内部の記憶領域に格納されたものであってもよい。

#### 【0077】

次に、シーケンス回路 2 0 が、セレクタ制御信号 S / W によりセレクタを制御し、それぞれのフリップフロップに第 1 または第 2 のクロック信号のいずれを供給するかを決定する (S 3 4)。ここでは、説明の便宜上、図 8 には 2 つのセレクタ 1 2、1 3 しか図示していないが、実際には 2 つ以上のセレクタが設けられた場合を想定しており、このステップにより、第 2 の実施の形態で図 6 を用いて説明したように、実質的に動作テストが行われるパスが確定する。また、このセレクタのクロック信号の選択に関するデータも、外部から入力されたものであってもよいし、テスト実施者により予め当該半導体集積回路内部の記憶領域に格納されたものであってもよい。

#### 【0078】

次に、期待値比較回路 1 9 が、第 2 のフリップフロップ 3 を介して出力された被テスト回路 1 の出力データ D A T A ' と、評価用データ D A T A から予想される期待値との比較を行う (S 3 5)。この比較の結果は、被テスト回路 1 の出力結果と期待値とが一致する場合は、その見かけ上のクロック周波数で被テスト回路 1 が正常に動作することを意味し、相違する場合は、その見かけ上のクロック周波数で被テスト回路 1 の動作が破綻したことを意味する。その後、期待値比較回路 1 9 は、その比較結果をシーケンス回路 2 0 へと出力する。この比較結果は、シーケンス回路 2 0 により R A M 2 1 へと書き込み保持される (S 3 6)。

#### 【0079】

シーケンス回路 2 0 は、以上の比較において被テスト回路 1 の出力結果と期待値とが相違する場合は、その時点でセルフテストを終了し、一致する場合は、S 3 3 のステップにおいて第 1 のクロック信号 C L K 1 の位相を第 2 のクロック信号 C L K 2 の位相に対して更に所定量ずらし、以上までのステップ (S 3 1 ~ S

36) を再度行う。ここで、ステップS34でのセレクタによるクロック信号の選択は固定しておく。この図9に示すセルフテストの手順を、ステップS35における比較結果が一致するまで反復して行う。以上の手順により、比較結果が一致する限界のクロック周波数を求め、その結果をRAM21より読み出すことで、被テスト回路1の最大動作周波数  $f_{max}$  が得られる。

#### 【0080】

複数のバスにおける動作テストを行いたい場合は、1つ目の評価対象のバスの最大動作周波数  $f_{max}$  が求まった後、S34のステップでのセレクタによるクロック信号の選択を変更し、1つ目のバスと同様の手順を行えば、2つ目のバスに対しても最大動作周波数  $f_{max}$  を求めることができる。

#### 【0081】

以上のように、本実施の形態に係る動作テスト回路を含む半導体集積回路は、当該半導体集積回路内に第2の実施の形態において説明した動作テストの一連の作業を自動的に行う回路が組み込まれているため、テスト実施者が動作テストの各段階において、その都度、外部より制御を行う必要がなく、動作テストの作業効率を向上させることができる。

#### 【0082】

なお、本実施の形態においても、第1および第2の実施の形態同様、フリップフロップをポジティブエッジ型のフリップフロップとした。これに対して、これらをネガティブエッジ型のフリップフロップとしても、ポジティブエッジ型のフリップフロップを用いた場合と同様の効果が得られる。

#### 【0083】

また、本発明は、実施段階ではその要旨を変更しない範囲で種々に変形することができる。

#### 【0084】

以上、詳述したように、本発明に係る動作テスト回路を含む半導体集積回路、および、その動作テスト方法の特徴をまとめると以下の通りになる。

#### 【0085】

本発明に係る動作テスト回路を含む半導体集積回路は、被テスト回路と、第1

のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、前記第1あるいは第2のクロック信号のいずれか一方のクロック信号が入力され、この入力されたクロック信号のエッジに同期して動作し、前記被テスト回路へデータの出力を行う第1のフリップフロップと、前記第1および第2のクロック信号のうち、前記第1のフリップフロップに入力されていない方のクロック信号が入力され、この入力されたクロック信号のエッジに同期して動作し、前記被テスト回路から入力されたデータの出力を行う第2のフリップフロップとを具備することを特徴としている。

#### 【0086】

また、本発明に係る動作テスト回路を含む半導体集積回路の動作テスト方法は、位相制御信号により位相制御回路を制御して、第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1あるいは第2のクロック信号のいずれか一方のクロック信号を第1のフリップフロップに入力し、かつ、前記第1および第2のクロック信号のうち、前記第1のフリップフロップに入力されていない方のクロック信号を第2のフリップフロップに入力する第1のステップと、評価用データを被テスト回路に入力する第2のステップと、前記第1および第2のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第3のステップとを具備し、前記第3のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相を順次変更し、前記第1乃至第3のステップを繰り返すことを特徴としている。

#### 【0087】

更に、本発明に係る動作テスト回路を含む半導体集積回路は、複数の被テスト回路と、前記複数の被テスト回路間に介在し、入力されたクロック信号のエッジに同期して動作し、前記複数の被テスト回路間での入出力を行う複数のフリップフロップと、第1のクロック信号が入力され、位相制御信号に基づいて前記第1

のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回路と、前記複数のフリップフロップ各々について設けられ、前記複数のフリップフロップのうちの1つのフリップフロップに対して、前記第1および第2のクロック信号のうち、いずれか一方のクロック信号を選択して供給可能であり、前記複数のフリップフロップのうちの他のフリップフロップに対して、前記第1および第2のクロック信号のうち、もう一方のクロック信号を選択して供給可能である複数のセレクタとを具備することを特徴としている。

#### 【0088】

更に、本発明に係る動作テスト回路を含む半導体集積回路の動作テスト方法は、セレクタ制御信号によりセレクタを制御して、第1のクロック信号の経路あるいは位相制御回路から出力されるクロック信号の経路のいずれか一方のクロック信号の経路を1つのフリップフロップに接続し、もう一方のクロック信号の経路を他のフリップフロップに接続する第1のステップと、位相制御信号により前記位相制御回路を制御して、前記第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1および第2のクロック信号を前記セレクタに供給する第2のステップと、評価用データを被テスト回路に入力する第3のステップと、前記第1乃至第3のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第4のステップとを具備し、前記第4のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相を順次変更し、前記第2乃至第4のステップを繰り返すことを特徴としている。

#### 【0089】

更に、本発明に係る動作テスト回路を含む半導体集積回路は、複数の被テスト回路と、前記複数の被テスト回路間に介在し、入力されたクロック信号のエッジに同期して動作し、前記複数の被テスト回路間での入出力をを行う複数のフリップフロップと、第1のクロック信号が入力され、位相制御信号に基づいて前記第1のクロック信号の位相を変更し、第2のクロック信号として出力する位相制御回

路と、前記複数のフリップフロップ各々について設けられ、前記複数のフリップフロップのうちの1つのフリップフロップに対して、前記第1および第2のクロック信号のうち、いずれか一方のクロック信号を選択して供給可能であり、前記複数のフリップフロップのうちの他のフリップフロップに対して、前記第1および第2のクロック信号のうち、もう一方のクロック信号を選択して供給可能である複数のセレクタと、評価用データを生成し、その評価用データを前記被テスト回路に入力する評価用データ生成回路と、前記被テスト回路からの出力データと前記評価用データから予測される期待値との比較を行う期待値比較回路と、前記位相制御回路、前記複数のセレクタ、前記評価用データ生成回路、および、前記期待値比較回路を制御し、前記期待値比較回路が行う比較において前記被テスト回路からの出力データと前記期待値とが一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように前記第2のクロック信号の位相を順次変更し、前記被テスト回路への前記評価用データの入出力を行うシーケンス回路とを具備することを特徴としている。

#### 【0090】

更に、本発明に係る動作テスト回路を含む半導体集積回路の動作テスト方法は、評価用データを生成し、この評価用データを被テスト回路に入力する第1のステップと、セレクタ制御信号によりセレクタを制御して、第1のクロック信号の経路あるいは位相制御回路から出力されるクロック信号の経路のいずれか一方のクロック信号の経路を1つのフリップフロップに接続し、もう一方のクロック信号の経路を他のフリップフロップに接続する第2のステップと、位相制御信号により前記位相制御回路を制御して、前記第1のクロック信号の位相を変更した第2のクロック信号を生成し、前記第1および第2のクロック信号を前記セレクタに供給する第3のステップと、前記第1乃至第3のステップの実行により得られる被テスト回路からの出力データを、前記被テスト回路が正常に動作した際の期待値と比較する第4のステップとを具備し、前記第4のステップにおいて前記被テスト回路からの出力データが前記期待値と一致する場合、不一致となるまで、前記第1のクロック信号と前記第2のクロック信号との位相差が広がるように、位相制御信号により前記位相制御回路を制御して前記第2のクロック信号の位相

を順次変更し、前記第1乃至第4のステップを繰り返すことを特徴としている。

#### 【0091】

更に、本発明に係る動作テスト回路を含む半導体集積回路は、前記位相制御回路は、前記半導体集積回路の外部から入力される前記位相制御信号により制御されることを特徴としている。

#### 【0092】

更に、本発明に係る動作テスト回路を含む半導体集積回路の動作テスト方法は、前記第2のクロック信号の生成において、前記位相制御信号を前記半導体集積回路の外部より入力することで前記位相制御回路を制御することを特徴としている。

#### 【0093】

##### 【発明の効果】

本発明によれば、比較的低い周波数の動作テスト用のクロック信号により、その周波数より高く、かつ、可変に変更可能な周波数のクロック信号による動作テストを見かけ上実現し、正常に動作する最大動作周波数を測定する動作テスト回路を含む半導体集積回路、および、その動作テスト方法を提供することができる。

#### 【0094】

また、本発明によれば、上記の動作テストの段階において、評価するパスを複数の中から任意に選択できる動作テスト回路を含む半導体集積回路、および、その動作テスト方法を提供することができる。

##### 【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る動作テスト回路を含む半導体集積回路の構成の概略図。

【図2】 本発明の第1の実施の形態に係る動作テスト回路を含む半導体集積回路における、フリップフロップ制御用のクロック波形図。

【図3】 本発明の第1の実施の形態に係る動作テスト回路を含む半導体集積回路の回路構成図。

【図4】 本発明の第1の実施の形態に係る動作テスト方法の手順を示すフロー

チャート。

【図5】 本発明の第2の実施の形態に係る動作テスト回路を含む半導体集積回路の構成の概略図。

【図6】 本発明の第2の実施の形態に係る動作テスト回路を含む半導体集積回路の回路構成図。

【図7】 本発明の第2の実施の形態に係る動作テスト方法の手順を示すフローチャート。

【図8】 本発明の第3の実施の形態に係る動作テスト回路を含む半導体集積回路の構成の概略図。

【図9】 本発明の第3の実施の形態に係る動作テスト回路を含む半導体集積回路が行うセルフテストの手順を示すフローチャート。

【図10】 従来の動作テスト回路の回路構成図。

【図11】 従来の動作テスト回路での動作テスト時における、フリップフロップ制御用のクロック波形図。

#### 【符号の説明】

- 1 …被テスト回路
- 2 …第1のフリップフロップ
- 3 …第2のフリップフロップ
- 4 …位相制御回路
- 5、 21 …RAM
- 6 …ALU
- 7 …データバス
- 8 …第3のフリップフロップ
- 9 …第4のフリップフロップ
- 10 …第5のフリップフロップ
- 11 …第6のフリップフロップ
- 12 …第1のセレクタ
- 13 …第2のセレクタ
- 14 …第3のセレクタ

1 5 … 第4のセレクタ

1 6 … 第5のセレクタ

1 7 … 第6のセレクタ

1 8 … 評価用データ生成回路

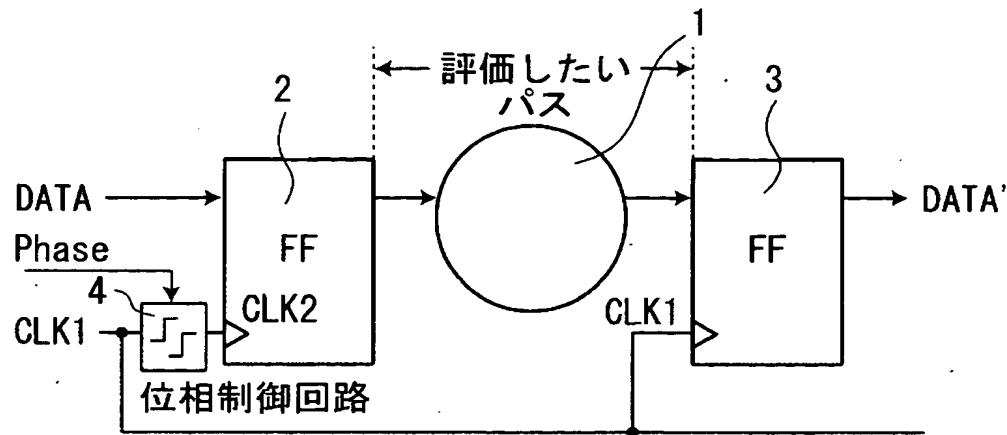
1 9 … 期待値比較回路

2 0 … シーケンス回路

【書類名】

図面

【図1】



1…被テスト回路

2…第1のフリップフロップ

3…第2のフリップフロップ

4…位相制御回路

CLK1…第1のクロック信号

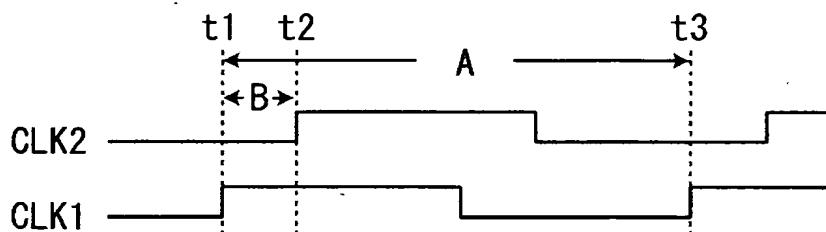
CLK2…第2のクロック信号

DATA…評価用データ

DATA'…出力データ

Phase…位相制御信号

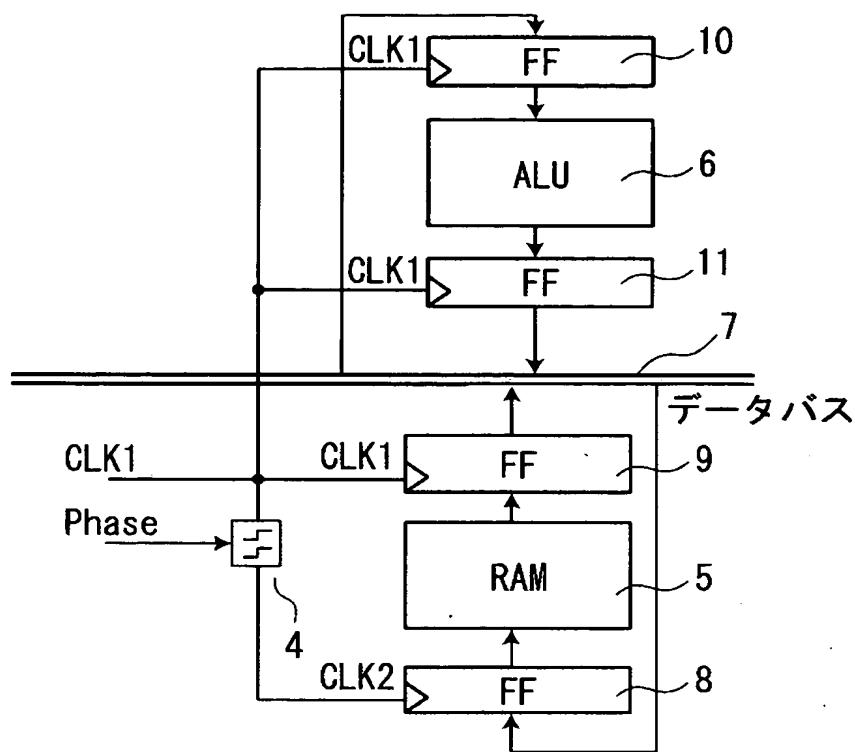
【図2】



CLK1…第1のクロック信号

CLK2…第2のクロック信号

【図3】



4…位相制御回路

5…RAM

6…ALU

7…データバス

8…第3のフリップフロップ

9…第4のフリップフロップ

10…第5のフリップフロップ

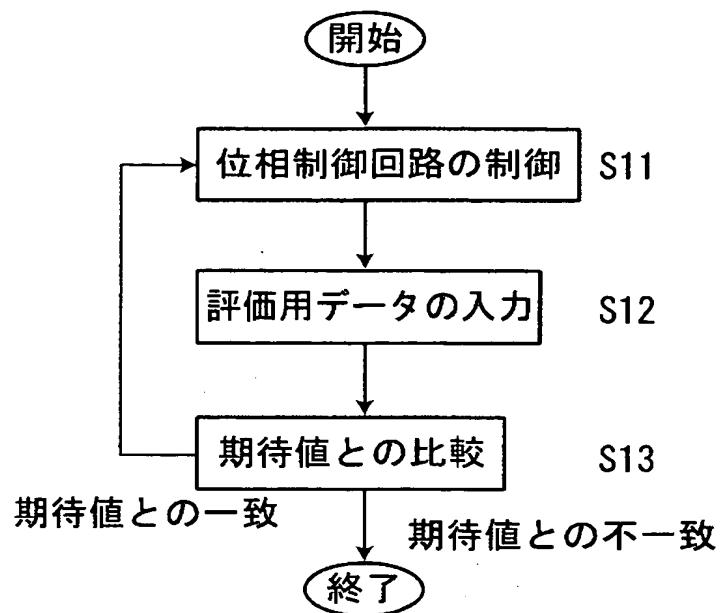
11…第6のフリップフロップ

CLK1…第1のクロック信号

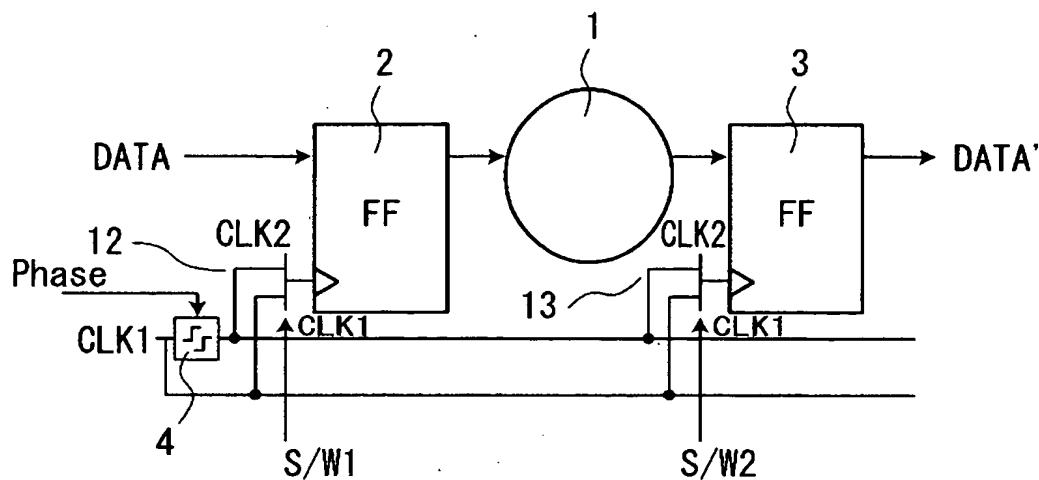
CLK2…第2のクロック信号

Phase…位相制御信号

【図4】



【図5】



1…被テスト回路

2…第1のフリップフロップ

3…第2のフリップフロップ

4…位相制御回路

12…第1のセレクタ

13…第2のセレクタ

CLK1…第1のクロック信号

CLK2…第2のクロック信号

DATA…評価用データ

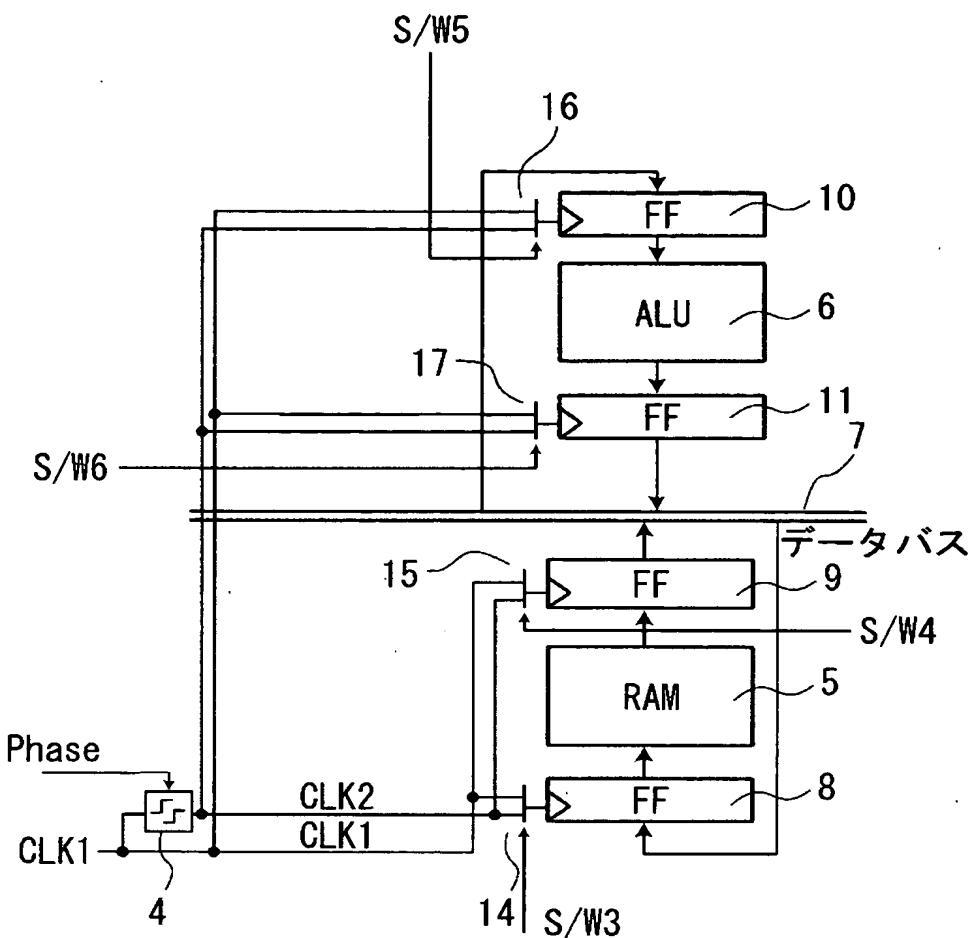
DATA'…出力データ

Phase…位相制御信号

S/W1…第1のセレクタ制御信号

S/W2…第2のセレクタ制御信号

【図6】



4…位相制御回路

6…ALU

8…第3のフリップフロップ

10…第5のフリップフロップ

14…第3のセレクタ

16…第5のセレクタ

CLK1…第1のクロック信号

Phase…位相制御信号

S/W4…第4のセレクタ制御信号

S/W6…第6のセレクタ制御信号

5…RAM

7…データバス

9…第4のフリップフロップ

11…第6のフリップフロップ

15…第4のセレクタ

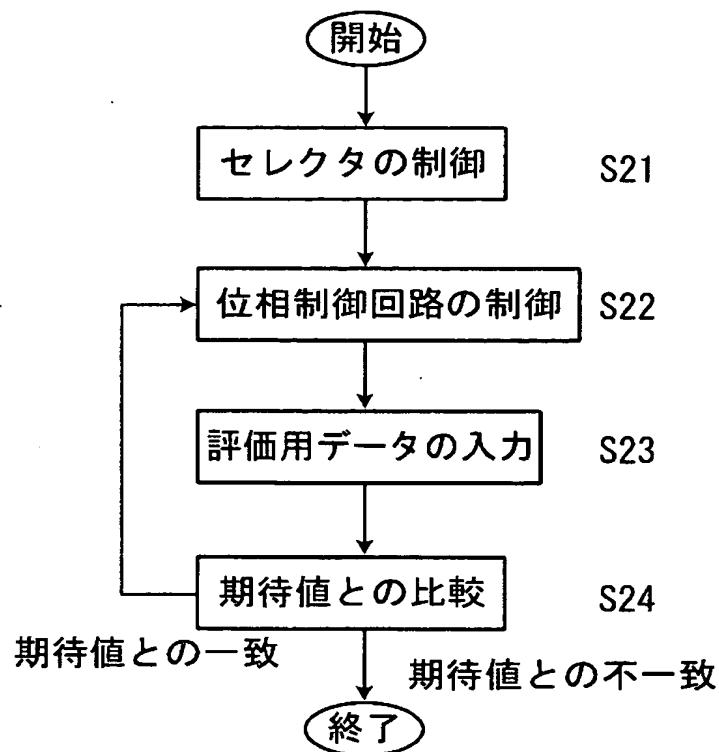
17…第6のセレクタ

CLK2…第2のクロック信号

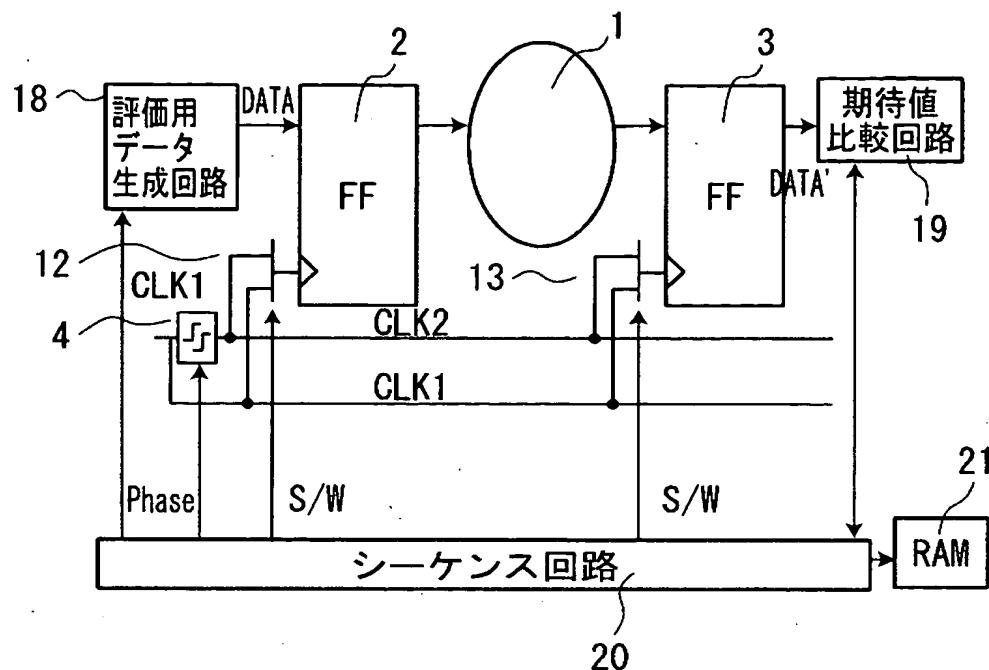
S/W3…第3のセレクタ制御信号

S/W5…第5のセレクタ制御信号

【図7】

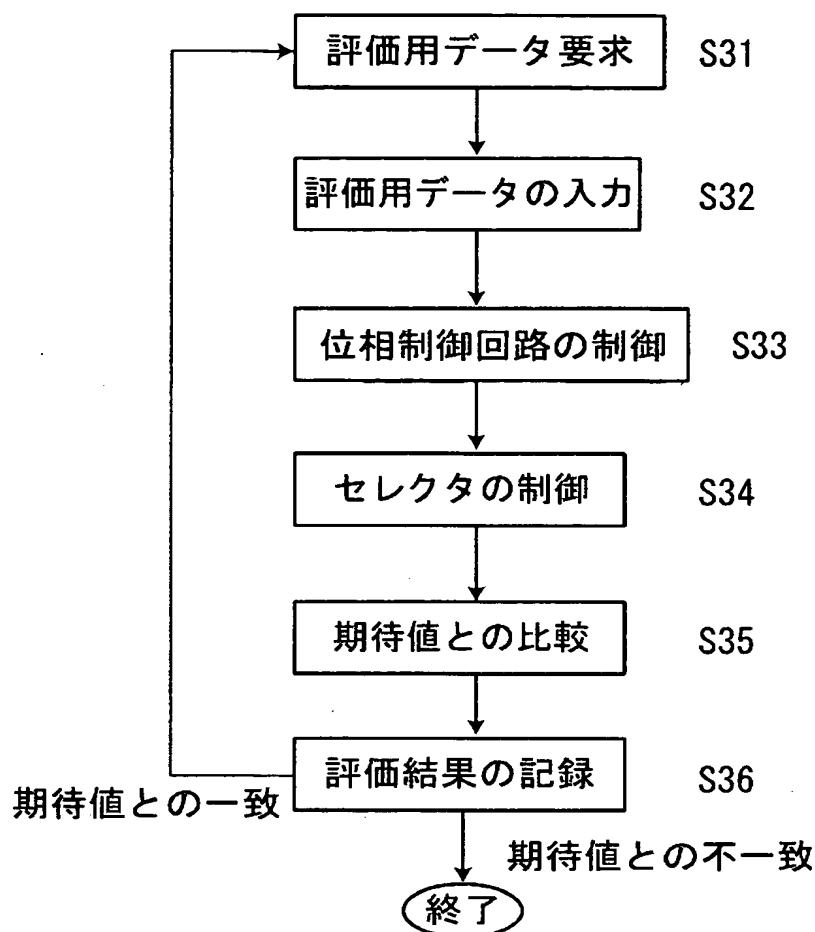


【図8】

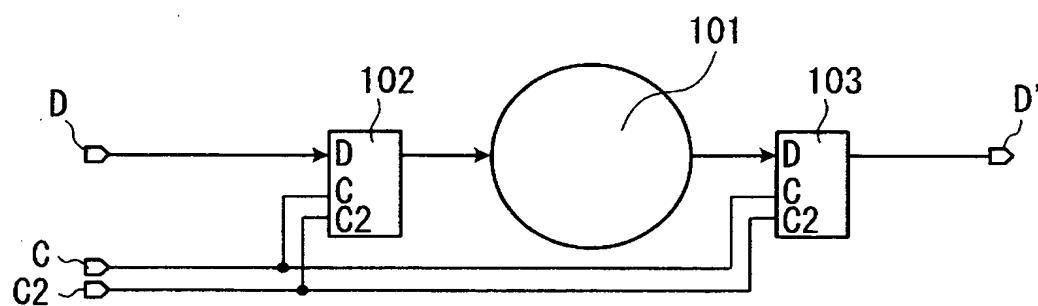


1…組み合わせ回路	2…第1のフリップフロップ
3…第2のフリップフロップ	4…位相制御回路
12…第1のセレクタ	13…第2のセレクタ
18…評価用データ生成回路	19…期待値比較回路
20…シーケンス回路	21…RAM
CLK1…第1のクロック信号	CLK2…第2のクロック信号
DATA…評価用データ	DATA'…出力データ
Phase…位相制御信号	S/W…セレクタ制御信号

【図9】



【図10】



101…被テスト回路

102…第1のフリップフロップ

103…第2のフリップフロップ

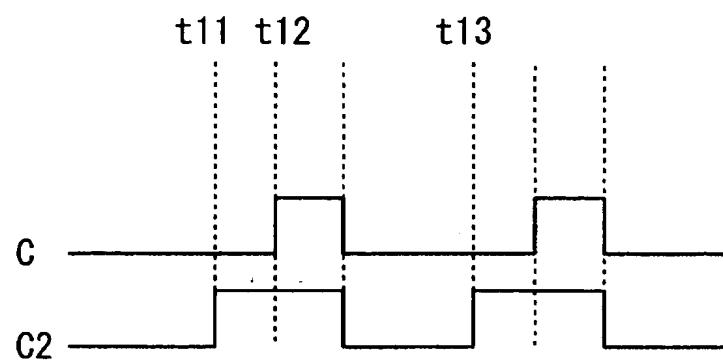
D…評価用データ

C…通常クロック

C2…テストクロック

D'…出力データ

【図11】



【書類名】 要約書

【要約】

【課題】 比較的低い周波数の動作テスト用のクロック信号により、その周波数より高く、かつ、可変に変更可能な周波数のクロック信号による動作テストを見かけ上実現し、正常に動作する最大動作周波数を測定する動作テスト回路を含む半導体集積回路を提供する。

【解決手段】 動作テストを行いたい被テスト回路1の両端に設けられた第1および第2のフリップフロップ2、3のうち、第1のフリップフロップ2に位相制御回路4を介してクロック信号が供給されるようにする。この位相制御回路4はクロック信号の位相をテスト実施者が可変に制御できる回路であり、これを用いて第1および第2のフリップフロップ2、3を非同期に動作させ、見かけ上クロック周波数の高い動作テストを実現する。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願2003-001741
受付番号	50300014418
書類名	特許願
担当官	第一担当上席 0090
作成日	平成15年 1月 9日

## &lt;認定情報・付加情報&gt;

【提出日】 平成15年 1月 8日

次頁無

特願2003-001741

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日

[変更理由] 名称変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝